**Лекция 5**

**Устройство синхронизации**

Устройство управления и синхронизации является кварцевым резонатором, который подключается ко внешним входам ВQ1 BQ2 микросхемы МК51 и управляет работой внутреннего генератора, который в свою очередь формирует сигналы синхронизации.Устройство управления формирует на основании синхроимпульсов машинный циклфиксированной длины, который равен 12 периодам резонатора и отвечает 6 состояниям управляющего автомата (S1 – S6). Каждое состояние управления автомата содержит две фазы (P1, P2).



ALEвыполняется два раза за машинный цикл и используется процессом обращения к внешней памяти.Большинство команд выполняется за 1 машинный цикл. Некоторые – за 2 машинных цикла (если команда двухбайтная). MUL, DIV – за 4 машинных цикла.

В МК 51 при подключении внешнего кварцевого резонатора в 12 мГцмашинный цикл длится 1мкс:

**Таймеры/счетчики**

МК 51 имеет два 16-разрядных таймера/счетчика – Т/ЛØ, Т/Л1для формирования временных задержек на выходах портов или подсчета внешних событий.

Во время работы в *качестве таймера*, в каждом машинном цикле выполняется инкрементирование содержимого таймера/счётчика с частотой ,где – частота тактового генератора, поскольку машинный цикл состоит из 12 периодов частоты синхронизации.

Во время работы в *качестве счетчика*содержимое таймера/счетчика инкрементируется на каждом переходе внешнего сигнала С «1» та «0».

Для управления режимами работы Т/Сч и для связи с системою прерываний используются (регистра специальных функций) TMOD и TCON.

**Регистр режимов таймераTMOD**



|  |  |  |  |
| --- | --- | --- | --- |
| *GATE* | *(TMOD.7)Т/Л1*  *(TMOD.3)Т/Л0* | − | управляет блокировкой. По установке разряда *GATE* = 1 разрешается управлять *Т/Лі*, если внешний управляющий сигнал *INTi = 1*и бит управления *TRi*установлен. Иначе управление *Т/Лі*разрешается, как только устанавливается бит *TRi.* |
| *С/T* | *(TMOD.6)Т/Л1*  *(TMOD.2)Т/Л0* | − | бит выбора режима, если *С/Т = 0*, определяет работу в качестве таймера от внутреннего источника сигналов синхронизации, иначе работает как счётчик от внешних сигналов на входе *Тi*. |
| *M1*  *M0* | *(TMOD.5)Т/Л1*  *(TMOD.1)Т/Л0*  *(TMOD.4)Т/Л1*  *(TMOD.0)Т/Л0* | − | определяют режимы работы 0-3 таймеров/счетчиков. |

Разряды *М0* и *М1* регистр режимов таймера*TMOD*определяют режимы работы *Т/Лі:*

|  |  |  |
| --- | --- | --- |
| ***M0*** | ***M1*** | ***РежимработыТ/Лі*** |
| 0 | 0 | Режим 0 |
| 0 | 1 | Режим 1 |
| 1 | 0 | Режим 2 |
| 1 | 1 | Режим 3 |

**Регистр управления таймера/счетчикаTCON**



**Предназначение разрядов регистра управления/статуса ТСОN**

|  |  |  |  |
| --- | --- | --- | --- |
| *TF1*  *TF0* | *(TMOD.7)*  *(TMOD.5)* | − | признак переполнения таймеров*Т/Лі*, устанавливается программно или аппаратно во время переполнения. Если прерывание от соответствующего *Т/Сч* разрешено, установка признака вызовет прерывание. Признак сбрасывается программно или аппаратно при обслуживании соответствующего прерывания. |
| *TR1*  *TR0* | *(TMOD.6)*  *(TMOD.4)* | − | биты управления таймеров *Т/Лі*, устанавливаются и сбрасываютсяпрограммно для пуска/сброса Т/Сч. |

Другие 4 бита регистра*ТСОN* предназначены для управления прерыванием от внешних сигналов *INT0*и *INT1*.

|  |  |  |  |
| --- | --- | --- | --- |
| *IE1*  *IE0* | *(TCON.3)*  *(TCON.1)* | − | признаки запроса внешних прерываний. Устанавливаются аппаратно по срезу внешних сигналов *ЗПРi*или программно. Сбрасываются аппаратно при обслуживании прерывания вызванного фронтом сигнала прерывания. |
| *IT1*  *IT0* | *(TCON.2)*  *(TCON.0)* | − | биты управления типом прерывания на входах *INT0*и *INT1.*Устанавливаются и сбрасываются программно для спецификации запроса *ЗПРi*. Если *ITi* = 0, то разрешено прерывание по низкому уровню сигнала. По установке *ITi* = 1 осуществляется прерывание по срезу сигнала или по его низкому уровню |

**Режимы работы таймера**

*Режим роботы «0»*

Логика работы Т/сч показана на рис.1. В этом режиме Т/сч похож на Т/сч ВЕ48 (8 битный счетчик), на входы которого подключается длительность частоты 32.В режиме «0» Т/сч представляет собой тринадцатиразрядный счетчик, в котором последовательно соединены пятиразрядный регистр TL1 и восьмиразрядный регистрTH1.В зависимости от разряда С/Т1 регистра TMOD на вход счетчика поступают внешние сигналы со входа Т1(счетчик) или сигнал таймер.

Счет начинается по установке бита TR регистра TCON. Управление счетом извне осуществляется при помощи бита GATE регистра TMOD. Счет разрешен при установке значения входного сигнала *INT1 = 1* и запрещено при*INT0 = 0.* В момент переполнения Т/Сч устанавливается признак *TF1*.При переполнении счетчик ТНiизменяет состояние, при изменении состояния счетчика С FFh на 00;



*Рис. 1. Логика работы таймера в режиме 0*

*Режим роботы «1»*

Аналогичный режиму 0, разница состоит в том, что таймер/счетчик является шестнадцатиразрядным счётчиком, то есть ТНi– 8 разрядный,ТLi− 8 разрядный.

*Режим роботы «2»*

Таймер/счётчик в таком режиме представляет собой восьмиразрядный счётчик на основании регистра ТL0. Во время каждого переполнения регистра ТL0происходит загрузка содержимого регистра ТН0 в регистр ТL0. Содержимое регистра загружается программно и в процессе счета не меняется.

*Режим роботы «3»*

В режиме 3 работа Т/Сч0 и Т/Сч1 отличается. Таймер счетчик Т/Сч0 является двумя независимыми устройствами – на основании регистра ТL0 может работать и как таймер, и как счетчик. Т/Сч1 на основании регистра ТН0 работает только в режиме таймера. Для включения последнего используется бит TR1, в момент переполнения которого происходит установка признакаTF1. Т/Сч1 включен постоянно, то есть его бит TR1 установлен и работает в режимах 0, 1 или 2, не формирую признака переполнения. В следствии этого, Т/Сч1 может быть использован в любом режиме, не требующем прерываний.

**Пример формирования задержек на МК51**

*В соответствии с приведенным алгоритмом на рис. 1 написать код программы формирования задержек требуемой длинны.*

|  |  |
| --- | --- |
|  |  |
| Рис. 1. Алгоритм программы | |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
| ; код программы формирования задержек  ; различной длины. |  |
|  |  |
| ANL P2, #80h  ANL 89h, #00001111 b  ANL 88h , #0000 b  MOV 8Dh , #F4h  ORL P2, #2h  set B TCON , 6  label1 : JNB TF1, label1  ANL P2, #80h  IN A , P2  JB ACC.7 , label2  MOV 86h, #0000  MOV R7, #7h  ORL P2, #4h  label3: DJNZ R7, label3  ANL P2, #80h  Ljmp label 5  label2: MOV8Bh;#00000h  MOV 8Dh, #FAh  ORL P2, #8h  set B TCON.6  label4:  JNB,TCON.7,label4  ANL P2, #80h  Label5:  MOV R7, #22h  ORL P2, #10h  lable6: DJNZ R7, label6  ANL P2, #80h  end | ;P2[7] = 1  ;M1,М0=00, Т/с=0, GATE=0–режим0  ‘TL1 = 00000  ;400:32=12 F4h=(-12)  ;установка у1  ;TR1=1  ;сброс у1  ;(P2 => A)  ; проверка А [7]  ;формирование задержки 15 мкс  ;TL1=0  ;15:2=7  ; установка у2  ; сброс Y2  ;форм. зад. 200мкс  TL1=0  :200:32 = 6:(-6)дк=> TH1  ; установка Y3  ;TR1  ;формирование задержки 45 мкс  ; сброс Y5  ;формирование задержки 45 мкс.  ;45:2  ;Установка у5  ;проверка на «0» содержимого R7  ;сброс у5 |

**Пример №2**

*В соответствии с приведенным алгоритмом написать код программы формирования задержек требуемой длинны и выведения сигналов на порт Р2.*



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Временные задержки управляющих сигналов* | | | | |
| y1 | y2 | y3 | y4 | y5 |
| 18 | 280 | 80 | 720 | 60 |

**Выполнение задания**

Для зручності об’єднаємо деякі формування затримок у блоці у процедури.Для вводу і виводу сигналів будемо використовувати порт P2, причому, розряди порту в початковому стані налаштовані на вивід інформації Р2[5..0]. Умову переходів алгоритму будемо аналізувати відповідно до значення шостого тат сьомого розрядів порту Р2. Відповідність виходів порту і сигналів вказана в таблиці 1.

*Табл.1 Відповідність виходів порту та сигналів*

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *Розряд порту* | *Р17* | *Р16* | *Р15* | *Р14* | *Р13* | *Р12* | *Р11* | *Р10* |
| *Сигнал* | *Х2* | *Х1* | *0* | *У5* | *У4* | *У3* | *У2* | *У1* |

**Код програми**

|  |  |
| --- | --- |
| BLOCK1: |  |
| ANL P2, #С0H  ORL P2, #07H | ; Обнуління вмісту порту Р2  ; Виставлення усіх сигналів на порт Р2 |
| ; Формування затримки 18 мкс, так як в у1 має «згаснути» в блоці 1 | |
| Y1: |  |
| MOV R1, #09H  CYCLE\_18:  DJNZ R1, CYCLE\_18  RET | ; Запис до R1 константи 9, так як 18:2 – DJNZ 2 мкс  ; Цикл відліку затримки 18 мкс  ; Завершення циклу за нульового вмісту регістра  ; Повернення з процедури |
| ; Формування затримки 80-18 = 62 мкс, так як в у3 має «згаснути» в блоці 1  ; Затримка формується за допомогою таймера: 62 : 32 = 2 | |
| Y3:  MOV TMOD, #00H  ANL 8DH, #00H  MOV 8BH, #FEH  ANL P2, #С6H  SETB TR1  CYCLE\_62:  JNB TF1, CYCLE\_62 | ; Встановлення режиму 0 для таймера  ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-2)ДК  ; Виставлення сигналів у2у3 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 62 мкс  ; Перехід після переповнення таймера |
| ; Формування затримки 280-80 = 200 мкс для останнього сигналу у першому блоці  ; Затримка формується за допомогою таймера: 200 : 32 = 6 | |
| Y2:  ANL 8DH, #00H  MOV 8BH, #FАH  ANL P2, #С2H  SETB TR1  CYCLE\_200:  JNB TF1, CYCLE\_200 | ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-6)ДК  ; Виставлення сигналів у2 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 200 мкс  ; Перехід після переповнення таймера |
| ; Перевірка умови Х1 | |
| checkX1first:  JB P2.6, checkX1second | ; Перевірка шостого біта порту, що відповідає за умову Х1 |
| ; Формування затримки 280 мкс для сигналу у2 у другому блоці  ; Затримка формується за допомогою таймера: 280 : 32 = 9 | |
| Y2\_280:  ANL 8DH, #00H  MOV 8BH, #FАH  ANL P2, #С2H  SETB TR1  CYCLE\_280:  JNB TF1, CYCLE\_200 | ; Якщо Х1 не 1, то перехід до блока 2  ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-9)ДК  ; Виставлення сигналів у2 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 280 мкс  ; Перехід після переповнення таймера |
| ; Перевірка умови Х2 | |
| checkX2:  JB P2.7, Y1Y4  JMP BLOCK1 | ; Перевірка шостого біта порту, що відповідає за умову Х2  ; Якщо Х2 не 1, то перехід до блока 1 |
| checkX1second:  JB P2.6, BLOCK4 | ; Перевірка шостого біта порту, що відповідає за умову Х2 |
| Y1Y4: | ; Якщо Х1 не 1, то перехід до блока 3 |
| ANL P2, #С0H  ORL P2, #09H  CALL Y1 | ; Обнуління вмісту порту Р2  ; Виставлення сигналів у4у1 на порт Р2  ; Виклик затримки у1 |
| ; Формування затримки 720 – 18 = 702 мкс для сигналу у4 у третьому блоці  ; Затримка формується за допомогою таймера: 702 : 32 = 22 | |
| Y4: |  |
| ANL 8DH, #00H  MOV 8BH, #ЕАH  ANL P2, #С8H  SETB TR1  CYCLE\_702:  JNB TF1, CYCLE\_702 | ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-22)ДК  ; Виставлення сигналу у4 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 702 мкс  ; Перехід після переповнення таймера |
| BLOCK4: |  |
| ; Формування затримки 720 мкс для сигналу у4 у четвертому блоці  ; Затримка формується за допомогою таймера: 720 : 32 = 23 | |
| ANL 8DH, #00H  MOV 8BH, #ЕАH  ANL P2, #С8H  SETB TR1  CYCLE\_720:  JNB TF1, CYCLE\_720  END | ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-23)ДК  ; Виставлення сигналу у4 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 720 мкс  ; Перехід після переповнення таймера  ; Кінець програми |